

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-160482

(43)公開日 平成6年(1994)6月7日

(51)Int.Cl.⁵

G 0 1 R 31/28

G 0 6 F 11/22

識別記号

庁内整理番号

F I

技術表示箇所

3 4 0 A 8323-5B

6912-2G

G 0 1 R 31/ 28

H

審査請求 有 請求項の数4(全 5 頁)

(21)出願番号 特願平4-312329

(22)出願日 平成4年(1992)11月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小島 佐和子

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 井出 直孝

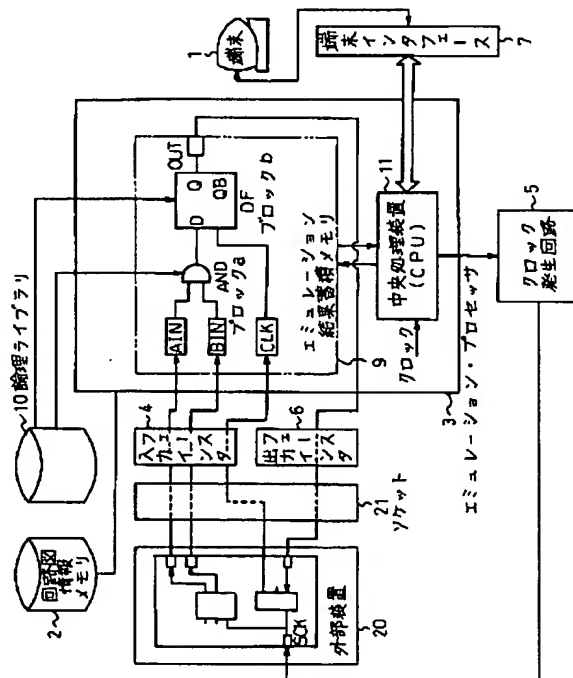
(54)【発明の名称】 ハードウェア・エミュレータ

(57)【要約】

【目的】 L S I などの一部のハードウェア機能を擬似的に実現し、未完成のハードウェア機能を補充して内部信号の動作状態を端末上でモニタすることにより装置評価を実施できるようにする。

【構成】 外部装置20との入出力インタフェース部4および6と、回路図情報を蓄積する回路図情報メモリ2と、入力信号および回路図情報によりハードウェア動作を擬似的に実現するエミュレーションプロセッサ3と、外部装置20へ供給するクロックを発生するクロック発生回路5と、エミュレーション結果を蓄積するエミュレーション結果蓄積メモリ9と端末1とのインタフェース機能を有する端末インタフェース7とを備える。

【効果】 装置上のハードウェア機能をメモリ上の回路図情報に従ってエミュレートし内部状態のモニタを端末上で実現できるために、装置を動作させながら回路の不具合解析を行うことができる。



【特許請求の範囲】

【請求項1】 評価対象とする外部装置を接続し端末からの操作入力にしたがってハードウェア動作を疑似的に実現しエミュレーションを実行する手段を備えたハードウェア・エミュレータにおいて、

前記外部装置からの入力信号を電圧レベルから論理信号に変換して入力パターン情報を生成する入力インタフェースと、

補うべき回路図情報が蓄積される回路図情報メモリと、前記入力インタフェースからの入力パターン情報および前記回路図情報メモリからの情報を入力し回路動作エミュレーションを行うエミュレーションプロセッサと、このエミュレーションプロセッサからのタイミング情報にしたがって前記外部装置に供給するクロック信号を発生するクロック発生回路と、

前記エミュレーションプロセッサからの出力信号および前記クロック発生回路からのクロック信号を論理信号から電圧レベルに変換し前記外部装置に出力する出力インタフェースとを備えたことを特徴とするハードウェア・エミュレータ。

【請求項2】 エミュレーション結果を蓄積するエミュレーション結果蓄積メモリを備えた請求項1記載のハードウェア・エミュレータ。

【請求項3】 回路要素の論理動作に関する情報を蓄積する論理ライブラリを備え、

前記エミュレーションプロセッサは、

前記回路図情報メモリから補うべき回路図情報を読み込む手段と、

その回路図情報の中の各要素の論理動作を前記論理ライブラリに蓄積された情報を参照して実行する手段とを含む請求項1記載のハードウェア・エミュレータ。

【請求項4】 前記エミュレーションプロセッサのエミュレーション状態をモニタする端末装置が接続される端子インタフェースを備えた請求項1記載のハードウェア・エミュレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ハードウェアのエミュレーションに利用する。本発明は、ハードウェア機能をソフトウェアにより擬似的に行うことができるエミュレータに関する。

【0002】

【従来の技術】エミュレータは、装置評価を実施する場合に評価対象回路における一部のハードウェア動作を疑似的に実現するものである。装置開発においては、単体シミュレーションだけでカスタムLSIを製造するにはリスクが大きく、したがって、単体シミュレーション完了後のファイルをあたかも開発ターゲット装置上に実装して動作確認させるようなシステムが必要とされており、また、実際に製造したLSIに動作不良があった場

合、エミュレータがないと装置上での動作を行わせながらLSI内部の回路の動きを知ることが不可能であることから解析が困難である。

【0003】このような開発環境から、各種のエミュレータが開発されているが、従来のエミュレータは、図4に示すように、エミュレーション対象の回路がFPGA(Field Programmable Gate Array)で構成されるエミュレーションモジュール33と、外部装置20上のソケット21との入出力インタフェース機能を有するソケットインタフェース32と、FPGAエミュレーションモジュール33への入力パターンを生成するテストパターン生成部36と、全体の制御を行うコントローラ34とにより構成されている。

【0004】次に、このように構成された従来例エミュレータの動作について説明する。

【0005】ソケット21は、開発中の外部装置20内に実装され、そのソケット21と外部装置20とはケーブル311を介して接続される。ソケット21を介して外部装置20から入力された信号は、ソケットインタフェース32に入力されテストパターン生成部36は、ソケットインタフェース32を介して入力された信号をFPGAエミュレーションモジュール33上で動作可能な入力パターンに生成する。FPGAエミュレーションモジュール33は入力パターンによりエミュレーション動作を行い、コントローラ34はこれらの全体制御を行う。

【0006】

【発明が解決しようとする課題】このような従来のエミュレータは、内部にFPGAで構成したエミュレーションモジュールを有するため高価となり、また、エミュレーション対象とする回路をFPGA化する必要があることから、回路変更をワークステーション上で簡易に行うことができない欠点があった。

【0007】本発明はこのような欠点を除去するもので、ハードウェア機能をソフトウェアにより擬似的に行えるようにすることにより費用の低減をはかり、さらに、装置評価の期間を短縮することができるエミュレータを提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、評価対象とする外部装置を接続し端末からの操作入力にしたがってハードウェア動作を疑似的に実現しエミュレーションを実行する手段を備えたハードウェア・エミュレータにおいて、前記外部装置からの入力信号を電圧レベルから論理信号に変換して入力パターン情報を生成する入力インタフェースと、補うべき回路図情報が蓄積される回路図情報メモリと、前記入力インタフェースからの入力パターン情報および前記回路図情報メモリからの情報を入力し回路動作エミュレーションを行うエミュレーションプロセッサと、このエミュレーションプロセッサからのタイ

ミング情報にしたがって前記外部装置に供給するクロック信号を発生するクロック発生回路と、前記エミュレーションプロセッサからの出力信号および前記クロック発生回路からのクロック信号を論理信号から電圧レベルに変換し前記外部装置に出力する出力インタフェースとを備えたことを特徴とする。

【0009】エミュレーション結果を蓄積するエミュレーション結果蓄積メモリと回路要素の論理動作に関する情報を蓄積する論理ライブラリとを備え、前記エミュレーションプロセッサは、前記回路図情報メモリから補うべき回路図情報を読み込む手段と、その回路図情報の中の各要素の論理動作を前記論理ライブラリに蓄積された情報を参照して実行する手段とを含み、さらに、前記エミュレーションプロセッサのエミュレーション状態をモニタする端末装置が接続される端末インタフェースを備えることが望ましい。

【0010】

【作用】エミュレート対象の外部装置からの信号を‘0’、‘1’の論理信号に変換し、入力パターンとしてエミュレーションプロセッサに送出する。エミュレーションプロセッサはエミュレーション実行中の回路図情報の中の回路素子のイベント制御を行い、入力パターン情報による回路素子の演算処理を実施し、クロック発生回路に一つのパターン情報に対するエミュレート処理完了のタイミング情報を送出する。クロック発生回路はこのタイミング情報を受信するごとにクロック信号を発生して外部装置に出力する。このクロック信号を外部装置の実行動作クロックとして同期させ動作させる。

【0011】これにより、外部装置のハードウェア機能を動作させながら回路図面情報にしたがってエミュレートすることができ、不具合の解析を低コストで、かつ短期間に実施することができる。

【0012】

【実施例】次に、本発明実施例を図面に基づいて説明する。図1は本発明実施例の構成を示すブロック図である。

【0013】本発明実施例は、評価対象とする外部装置20を接続し端末1からの操作入力にしたがってハードウェア動作を疑似的に実現しエミュレーションを実行するハードウェア・エミュレータに、外部装置20からの入力信号を電圧レベルから論理信号に変換して入力パターン情報を生成する入力インタフェース4と、補うべき回路図情報が蓄積される回路図情報メモリ2と、入力インタフェース4からの入力パターン情報および回路図情報メモリ2からの情報を入力し回路動作エミュレーションを行うエミュレーションプロセッサ3と、このエミュレーションプロセッサ3からのタイミング情報にしたがって外部装置20に供給するクロック信号を発生するクロック発生回路5と、エミュレーションプロセッサ3からの出力信号およびクロック発生回路5からのクロック

信号を論理信号から電圧レベルに変換し外部装置20に出力する出力インタフェース6と、エミュレーション結果を蓄積するエミュレーション結果蓄積メモリ9と、回路要素の論理動作に関する情報を蓄積する論理ライブラリ10とを備え、エミュレーションプロセッサ3は、回路図情報メモリ2から補うべき回路図情報を読み込む手段と、その回路図情報の中の各要素の論理動作を論理ライブラリ10に蓄積された情報を参照して実行する手段を有する中央処理装置11と、エミュレーションプロセッサのエミュレーション状態をモニタする端末1が接続される端末インタフェース7を備える。

【0014】また、外部装置20にはエミュレーション対象回路がソケット21を介して実装され、エミュレーションプロセッサ3は、外部装置20および端末1と接続される。

【0015】外部装置20に実装されたソケット21から入力された信号は、入力インタフェース4により電圧レベルから‘0’、‘1’の論理信号に変換する処理が行われ、エミュレーションプロセッサ3への入力パターン情報として生成される。

【0016】回路図情報メモリ2は回路図情報を蓄積し、エミュレーションプロセッサ3は、エミュレーション実行中の回路図情報中の回路素子のイベント制御、入力パターン情報による回路素子の演算処理および情報転送などの通信制御を行うとともに、回路図情報メモリ2中の回路図情報のエミュレーション動作およびクロック発生回路5に対するタイミング情報を発生する。

【0017】クロック発生回路5は、エミュレーションプロセッサ3から1パターン情報に対するエミュレート処理完了のタイミング情報を受信するごとにクロック信号を発生し、このクロック信号を出力インタフェース6を介して外部装置20に出力する。このクロック信号を外部装置20の実行動作クロックとすることにより、外部装置20とは同期して動作する。出力インタフェース6は、エミュレーションプロセッサ3の出力信号およびクロック発生回路5から発生したクロック信号を外部装置20に受け渡すための論理信号から電圧レベルへの変換を行うインタフェース機能を有する。

【0018】端末インタフェース7は、ワークステーションなどの端末1とのインタフェース機能をもち、エミュレーション結果解析、エミュレーション対象回路の内部信号のダンプ制御などを端末1からの入力により実施する。端末1からエミュレーション結果の解析を行う場合は、エミュレーション結果蓄積メモリ9に蓄積されたエミュレーション結果をアクセスする。

【0019】図2は本発明実施例におけるエミュレーションプロセッサとクロック発生回路との関係を示すタイミングチャートである。

【0020】エミュレーション対象回路の論理動作は単純に図面通りに行われるが、そのとき外部装置（ハード

ウェア装置) 20の動作スピードとエミュレーションプロセッサ3によるエミュレーションスピードが異なるという問題が生じる。例えば、外部装置(ハードウェア装置) 3の動作スピードが8MHz程度であるとしても、エミュレーションスピードは、中央処理装置11の性能にもよるが1MHz程度である。

【0021】そのため、エミュレーションプロセッサ3は、エミュレーションスピードの限界スピード(入力端子から信号が印加されてロジックを計算し、出力端子まで結果が出されるまでの時間)のクロックで外部装置20側を動作させなければならない。そこで、クロック発生回路5が外部装置20とエミュレーション動作との同期を取り、これにより外部装置20とエミュレーション対象回路とが同一クロックで動作する。

【0022】図3は本発明実施例におけるエミュレーションプロセッサの動作の流れを示すフローチャートである。

【0023】これは図2に示したエミュレーション対象回路を例にとったもので、まず、回路図情報メモリ2から回路図情報を読み出し、回路図中のゲート、フリップフロップなどに対して論理ライブラリ10とリンク(対応)をとる。このとき配線遅延情報を付加する。外部装置20から信号が印加されると、遅延を含めて論理ライブラリ10を参照し、入力信号の論理結果を出力信号として出力する。次いで、ブロックa(AND)およびブロックb(DF)のエミュレーションを実施する。その後は次のクロックサイクルが開始され同様のエミュレーションを行う。

【0024】

【発明の効果】以上説明したように本発明によれば、装置上の一部のハードウェア機能を回路図情報に従ってエミュレートし内部信号のダンプを行うことができ、回路図情報をメモリ中にソフトウェア的に保持することができるために変更が容易となり、装置開設の際のLSI内部の回路上の問題を容易に発見して対処しLSI設計に

即時的に反映することができる効果がある。

【0025】またLSIの実チップ製造後に発見された装置動作の不具合解析においては、装置を動作させながらのLSI内部の不具合解析を行い、回路上の内部信号を端末上で自由にモニタすることが可能になることから装置評価期間を大幅に短縮することができ、また、エミュレーション動作をソフトウェア的な構成で実施できるために安価に構成することができる効果がある。

【図面の簡単な説明】

【図1】本発明実施例の構成を示すブロック図。

【図2】本発明実施例におけるエミュレーションプロセッサとクロック発生回路との関係を示すタイミングチャート。

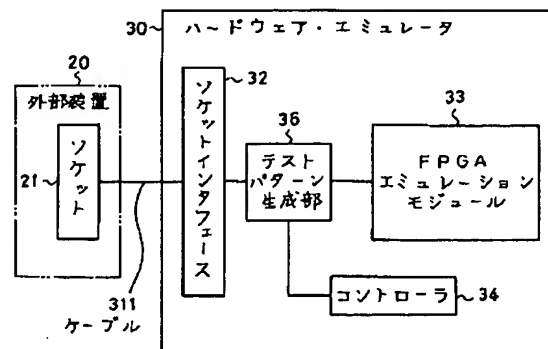
【図3】本発明実施例におけるエミュレーションプロセッサの動作の流れを示すフローチャート。

【図4】従来例の構成を示すブロック図。

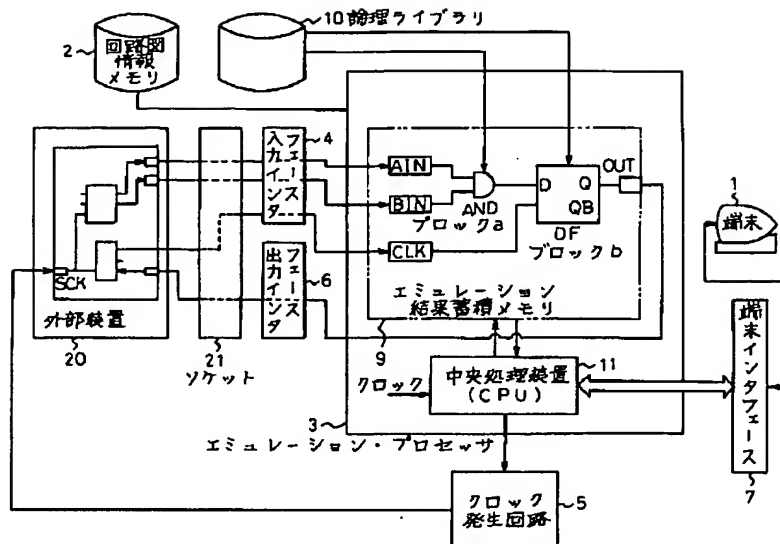
【符号の説明】

- | | |
|-----------|-------------------|
| 1 | 端末 |
| 2 | 回路図情報メモリ |
| 3 | エミュレーションプロセッサ |
| 4 | 入力インタフェース |
| 5 | クロック発生回路 |
| 6 | 出力インタフェース |
| 7 | 端末インタフェース |
| 9 | エミュレーション結果蓄積メモリ |
| 10 | 論理ライブラリ |
| 11 | 中央処理装置(CPU) |
| 20 | 外部装置 |
| 21 | ソケット |
| 30 | ハードウェア・エミュレータ |
| 32 | ソケットインタフェース |
| 33 | FPGAエミュレーションモジュール |
| 34 | コントローラ |
| 36 | テストパターン生成部 |
| 41、42、311 | ケーブル |

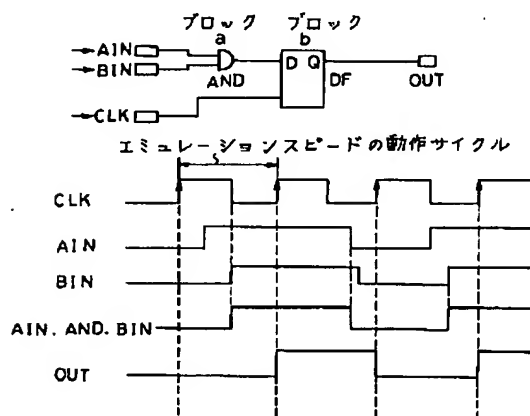
【図4】



【図1】



【図2】



【図3】

